

Requested document: [JP11024807 click here to view the pdf document](#)

COMPOSITE ELECTRONIC EQUIPMENT

Patent Number:

Publication date: 1999-01-29

Inventor(s): KITAZAWA SATORU

Applicant(s): MEDIA INTELLIGENT KK

Requested Patent: ☐ [JP11024807](#)

Application Number: JP19970178512 19970703

Priority Number(s): JP19970178512 19970703

IPC Classification: G06F3/00; G06F1/18; G06F13/14

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a composite electronic equipment which has plural functions despite the use of only a single connection part to secure high expandability even to a compact computer having low expandability and also can improve its performance to reduce the restriction to expansion of the computer function, to secure its sure operation and also to reduce its power consumption. SOLUTION: A card module includes a main control part IC 14 connected to a main connector 11, an EEPROM 15, a flash memory 16 and a parallel interface part 17. The IC 14 has a function to simultaneously use the memory 16 and an internal parallel input/output function and then divides and synthesizes various types of signals which are inputted and outputted via the connector 11.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-24807

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.⁶G 0 6 F 3/00
1/18
13/14

識別記号

3 2 0

F I

G 0 6 F 3/00
13/14
1/00

A

3 2 0 H

3 2 0 J

審査請求 未請求 請求項の数7 O L (全 11 頁)

(21) 出願番号 特願平9-178512

(22) 出願日 平成9年(1997) 7月3日

(71) 出願人 596110073

メディアインテリジェント株式会社

長野県諏訪市大和三丁目3番5号

(72) 発明者 北澤 哲

長野県松本市白板2丁目4番14号 メディ

アインテリジェント株式会社内

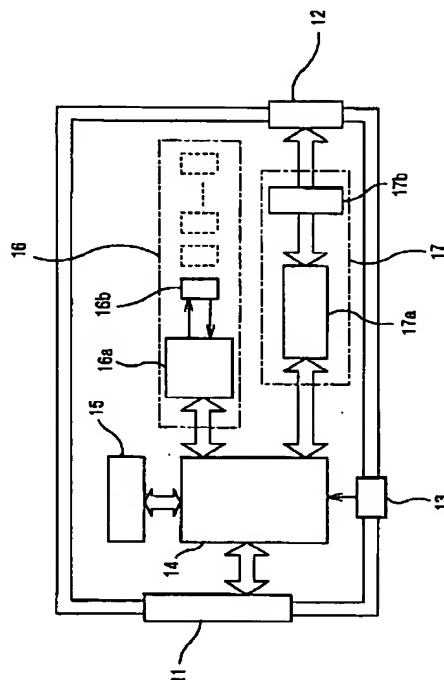
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 複合型電子機器

(57) 【要約】

【課題】 拡張性の乏しい小型コンピュータに対しても高い拡張性を与えるために、単一の接続部のみを備えていながら複数の機能を兼ね備えた複合型電子機器を構成することにより、コンピュータの機能拡張に関する制約を低減するとともに、複合型電子機器の確実な動作を保証し、しかも、消費電力を低減するなど、その性能を向上させる。

【解決手段】 カードモジュール10の内部には、主接続コネクタ11に接続された主制御IC14と、EEPROM15と、フラッシュメモリ16と、パラレルインターフェイス部17とが設けられている。主制御IC14は、後述するフラッシュメモリ16と、内部に有するパラレル入出力機能との双方を使用可能にする機能を有し、主接続コネクタ11を介して入出力される各種信号の分割、合成処理などを行う。



【特許請求の範囲】

【請求項1】 コンピュータ本体に対して接続可能に構成された複合型電子機器において、前記コンピュータ本体に接続される主ポートを介して入出力されるデータを格納可能なメモリ手段と、前記データをパラレルポートを介して入出力させることの可能なパラレル入出力手段と、前記主ポートと、前記メモリ手段及び前記パラレル入出力手段との間において前記データのやり取りを制御するための入出力制御手段とを備えていることを特徴とする複合型電子機器。

【請求項2】 コンピュータ本体に対して接続可能に構成された複合型電子機器において、前記コンピュータ本体に接続される主ポートを介して入出力されるデータを処理する第1処理手段と、前記データを処理する第2処理手段と、前記主ポートと、前記第1処理手段及び前記第2処理手段との間において前記データのやり取りを制御するための入出力制御手段とを備え、前記入出力制御手段は、前記主ポートを介して入出力される主定義情報と、前記第1処理手段に関する第1定義情報及び前記第2処理手段に関する第2定義情報とを相互に変換する定義情報変換手段を備えていることを特徴とする複合型電子機器。

【請求項3】 請求項2において、前記入出力制御手段は、前記主定義情報によって前記第1定義情報及び前記第2定義情報の読み書きを同時に行う際に用いる、前記主定義情報に対応する仮想アドレスを備えていることを特徴とする複合型電子機器。

【請求項4】 請求項3において、前記主ポートを介して入力されるアドレスが前記仮想アドレスである場合に、当該アドレスを前記第1定義情報に対応する第1アドレス領域内に属するアドレスと、前記第2定義情報に対応する第2アドレス領域内に属するアドレスとに変換するアドレス変換手段を備えていることを特徴とする複合型電子機器。

【請求項5】 請求項1において、前記パラレルポートには、前記パラレル入出力手段の複数の信号ラインが導入され、該信号ラインのうちの少なくとも一部は高抵抗を介して常時所定電位に引き寄せられており、前記パラレル入出力手段には、前記パラレルポートにケーブル若しくは他の電子機器が接続されている接続状態と接続されていない非接続状態とを検出するための接続状態検出手段が設けられ、前記非接続状態においては、前記信号ラインの少なくとも一部を前記所定電位により近い電位状態に固定するように構成されていることを特徴とする複合型電子機器。

【請求項6】 請求項5において、前記パラレル入出力手段は、前記非接続状態が検出されると、前記信号ラインの出力ゲートの出力電位を前記電位状態に保持した状態で、前記出力ゲートのスイッチングを禁止するように構成されていることを特徴とする複合型電子機器。

【請求項7】 請求項5又は請求項6において、前記接続状態検出手段は、前記接続状態と前記非接続状態とによって、前記パラレルポート内の定電位端子と信号ラインの一つとの導通状態と非導通状態とが切り換えられるように構成されたものであることを特徴とする複合型電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は複合型電子機器に係り、特に、小型コンピュータに装着するためのメモリカードの構成として好適な技術に関する。

【0002】

【従来の技術】従来、小型コンピュータ、たとえば、ノート型パソコンなどの周辺機器、あるいは入出力機器の一つとして、カード型の電子機器がある。現在もっとも広く使用されているものは、PCMCIA(Personal Computer Memory Card International Association)の規格を満たすカードモジュールである。ノートパソコンのほとんどには、このPCMCIA規格に適合したカードスロットが用意されており、上記規格を満たす種々のカードモジュールを装着することができるようになっている。

【0003】カードモジュールとしては、半導体メモリを内蔵したメモリカード、ハードディスクを内蔵したカード型ハードディスク、SCSIなどの外部インターフェイスを内蔵したインターフェイスカード、FAXモデムなどを内蔵したモデムカード、マイクロコンピュータを内蔵したPCカードなどがある。

【0004】

【発明が解決しようとする課題】ところで、上述のノート型パソコンにおいては、近年、企業内において省スペースのために机上天にて使用される場合が多くなってきており、このような使用態様の場合、多くの外部周辺機器を同時に接続した状態で使用したり、また、種々の外部周辺機器を接続することによって機能を拡張して使用することが多い。

【0005】しかしながら、ノート型パソコンの場合、小型化及び軽量化を図るために外部周辺機器に対する接続性や機能の拡張性を犠牲にする傾向があり、通常のデスクトップ型のパソコンに較べて使用態様が限定される場合が多い。

【0006】たとえば、外部インターフェイスとしては、シリアルポート、パラレルポートが一つずつしか用意されていない場合がほとんどであり、また、ポートを増設するためのインターフェイスボードを取り付けるためのスロットも通常用意されていない。

【0007】一方、ノートパソコンには、拡張性を高めるためにカードスロットが用意されているので、このカードスロットにカードモジュールを装着することによって機能を拡張することができる。しかし、カードスロ

トは多くても2つ用意されている場合がほとんどであるため、このカードスロットを用いた機能拡張にも限度がある。

【0008】そこで本発明は上記問題点を解決するものであり、その課題は、拡張性の乏しい小型コンピュータに対しても高い拡張性を与えるために、単一の接続部のみを備えていながら複数の機能を兼ね備えた複合型電子機器を構成することにより、コンピュータの機能拡張に関する制約を低減するとともに、複合型電子機器の確実な動作を保証し、しかも、消費電力を低減するなど、その性能を向上させることにある。

【0009】

【課題を解決するための手段】上記課題を解決するために本発明が講じた手段は、コンピュータ本体に対して接続可能に構成された複合型電子機器において、前記コンピュータ本体に接続される主ポートを介して入出力されるデータを格納可能なメモリ手段と、前記データをパラレルポートを介して入出力させることの可能なパラレル入出力手段と、前記主ポートと、前記メモリ手段及び前記パラレル入出力手段との間において前記データのやり取りを制御するための入出力制御手段とを備えていることを特徴とする。

【0010】この手段によれば、複合型電子機器として、入出力制御手段によって制御されるメモリ手段とパラレル入出力手段とを複合させたので、コンピュータ本体に一つの接続部（主ポート）のみ用意するだけで、データを格納するメモリに加えてプリンタやスキャナなどのパラレルポートに接続できる外部周辺機器を接続することが可能になり、コンピュータの拡張性を向上させることができ、使用態様の自由度を高めることができる。

【0011】また、コンピュータ本体に対して接続可能に構成された複合型電子機器において、前記コンピュータ本体に接続される主ポートを介して入出力されるデータを処理する第1処理手段と、前記データを処理する第2処理手段と、前記主ポートと、前記第1処理手段及び前記第2処理手段との間において前記データのやり取りを制御するための入出力制御手段とを備え、前記入出力制御手段は、前記主ポートを介して入出力される主定義情報と、前記第1処理手段に関する第1定義情報及び前記第2処理手段に関する第2定義情報とを相互に変換する定義情報変換手段を備えていることを特徴とする。

【0012】この手段によれば、第1処理手段及び第2処理手段を一つの接続部（主ポート）のみでコンピュータ本体に接続することができるとともに、コンピュータ本体に対して応答するための主定義情報と、第1処理手段の第1定義情報及び第2処理手段の第2定義情報とを相互に変換する定義情報変換手段を備えているため、コンピュータ本体は従来通り単一の主定義情報に対してアクセスすればよいことから、コンピュータ本体の設定を変更することなく、定義情報変換手段により間接的に第

1定義情報及び第2定義情報にアクセスすることができる。

【0013】ここで、前記入出力制御手段は、前記主定義情報によって前記第1定義情報及び前記第2定義情報の読み書きを同時に行う際に用いる、前記主定義情報に対応する仮想アドレスを備えていることが好ましい。

【0014】この手段によれば、主定義情報に対応する仮想アドレスを備えていることによって、コンピュータ本体から仮想アドレスを指定することによって第1定義情報及び第2定義情報の双方に一度にアクセスすることが可能になる。

【0015】この場合にはまた、前記主ポートを介して入力されるアドレスが前記仮想アドレスである場合に、当該アドレスを前記第1定義情報に対応する第1アドレス領域内に属するアドレスと、前記第2定義情報に対応する第2アドレス領域内に属するアドレスとに変換するアドレス変換手段を備えていることが望ましい。

【0016】この手段によれば、コンピュータ本体が指定した仮想アドレスを第1アドレス領域内及び第2アドレス領域内のアドレスに変換するアドレス変換手段を備えているため、簡易な構成により、コンピュータ本体の指定アドレスに対する第1定義情報及び第2定義情報のアドレスを同時に指定することができる。

【0017】さらに、前記パラレルポートには、前記パラレル入出力手段の複数の信号ラインが導入され、該信号ラインのうちの少なくとも一部は高抵抗を介して常時所定電位に引き寄せられており、前記パラレル入出力手段には、前記パラレルポートにケーブル若しくは他の電子機器が接続されている接続状態と接続されていない非接続状態とを検出するための接続状態検出手段が設けられ、前記非接続状態においては、前記信号ラインの少なくとも一部を前記所定電位により近い電位状態に固定するように構成されていることが好ましい。

【0018】この手段によれば、パラレルポートが非接続状態にある場合には、信号ラインの少なくとも一部が所定電位により近い電位状態に固定されているため、高抵抗を流れる電流量を低減することができ、消費電力を低減することができる。

【0019】この場合にはまた、前記パラレル入出力手段は、前記非接続状態が検出されると、前記信号ラインの出力ゲートの出力電位を前記電位状態に保持した状態で、前記出力ゲートのスイッチングを禁止するように構成されていることが望ましい。

【0020】この手段によれば、出力ゲートを制御するだけの簡易な構成で確実に消費電力を低減することができる。

【0021】これらの場合にはさらに、前記接続状態検出手段は、前記接続状態と前記非接続状態とによって、前記パラレルポート内の定電位端子と信号ラインの一つとの導通状態と非導通状態とが切り換えられるように構

成されたものであることが望ましい。

【0022】この手段によれば、パラレルポート内の定電位端子との導通若しくは非導通によって信号ラインの電位が変わることによって接続状態を検出することができるので、特にセンサなどを用いることなく、簡易かつ確実に信号ラインの電位設定を行うことができる。

【0023】

【発明の実施の形態】次に、添付図面を参照して本発明に係る実施形態について説明する。図1は、本発明に係る複合型電子機器の実施形態の全体構成を示すものである。本実施形態は、通常のPCMCIA規格のカードモジュール10として構成されたものである。このカードモジュール10は、コンピュータ本体のカードスロット内に挿入可能な寸法を備えている。

【0024】このカードモジュール10は、上記カードスロット内の接続端子に接続可能な主ポートを構成する主接続コネクタ11と、パラレルポートの接続部を構成するパラレルコネクタ12と、カードモジュール10の内部モードを変更するための切換スイッチ13とを外面上に備えている。主接続コネクタ11とパラレルコネクタ12とは相互に逆側の端部に形成され、内部に収容された回路基板の端部にそれぞれ実装されており、パラレルコネクタ12は、カードモジュール10をコンピュータ本体のカードスロット内に挿入した状態で、プリンタやスキャナなどの接続ケーブルに接続できるように構成されている。

【0025】切換スイッチ13は、2連ディップスイッチであり、カードモジュール10の内部に収容された回路基板の裏面上に実装され、カードモジュール10のケース体の裏面に設けられた開口部を通して外部に露出している。ディップスイッチのうちの一方は、後述するマルチファンクション用の定義情報と、ATAフォーマット用の定義情報とを切換選択し、モードの切換を行うものであり、ディップスイッチの他方は、クロック制御を切り換えるためのものである。

【0026】カードモジュール10の内部には、主接続コネクタ11に接続された主制御IC14と、この主制御IC14に接続されたEEPROM（電氣的に消去可能な書き換え可能読み出し専用メモリ）15と、主制御IC14に接続されたフラッシュメモリ16と、同様に主制御IC14に接続されたパラレルインターフェイス部17とが設けられている。

【0027】主制御IC14は、後述するフラッシュメモリ16と、内部に有するパラレル入出力機能との双方を使用可能にする機能を有するものであり、主接続コネクタ11を介して入出力される各種信号の分割、合成処理などを行う。また、パラレルポート用のコンフィグレーションレジスタ（CレジスタZ）を有するとともに、後述するマルチファンクション用の仮想的なコンフィグレーションレジスタ（CレジスタX）を有する。

【0028】フラッシュメモリ16は、メモリコントローラ16aと、メモリコントローラ16aに接続された1又は複数のメモリチップ16bとから構成される。メモリコントローラ16aの内部には、ATAインターフェイス用のコンフィグレーションレジスタ（CレジスタY）を備えている。

【0029】パラレルインターフェイス部17は、主制御IC14内に設けられた後述するパラレル入出力機能部から引き出される複数の信号ラインと、パラレルコネクタ12との間に設けられ、ドライバ・レシーバを備えたラインバッファとして機能するパラレルバッファ17aと、信号ラインの電位をプルアップするためのプルアップ回路部17bとからなる。パラレルバッファ17aは、パラレルコネクタ12に接続されたケーブル等からの電流の流れ込みを防止する保護機能を有している。

【0030】図2は、上述の主制御IC14の概略構成を示すものである。主制御IC14の内部は、機能的に見ると、カードインターフェイスとしての機能並びにSバス及びPバスを制御する機能を有するカード機能ブロック14Aと、パラレルポートインターフェイス機能を有するパラレル機能ブロック14Bとに大きく分けられる。ここで、カード機能ブロック14Aは、フラッシュメモリとパラレル入出力回路とを制御する入出力制御手段を構成し、パラレル機能ブロック14Bは、パラレルインターフェイス部17とともに、パラレル入出力手段を構成する。

【0031】カード機能ブロック14Aにおいては、主接続コネクタ11を介して入出力されるアドレス信号、ステータス信号及びその他の信号からなる各種データをPCMCIAバスに接続する接続部[A]を介して送受信するとともに、ATAインターフェイスに接続する接続部[B]を介してフラッシュメモリ16に対してデータを送受信し、さらに、パラレル機能ブロック14Bに対して内部的に各種データを送受信する。また、このカード機能ブロック14Aには入出力レジスタ14aが内蔵されており、入出力レジスタ14a内のフラグの状態によってパラレル機能ブロック14Bに対するデータの送受信を許可又は禁止するように構成されている。

【0032】主制御IC14には、カード機能ブロック14Aとパラレル機能ブロック14Bとに共通に作用する共通インターフェイス[C]を備えている。この共通インターフェイスには、パラレル機能ブロック14Bの動作に用いるためのクロック信号を発生するクロック発生手段である、水晶振動子を含む発振回路32が接続されている。また、この共通インターフェイスには、上記の切換スイッチ13のうちの一方のモード切換用のディップスイッチも接続されている。

【0033】パラレル機能ブロック14Bには、パラレルインターフェイス部17に接続された複数の前記信号ラインを有する接続部[D]が設けられており、パラレ

ルコネクタ12を介して接続された外部周辺機器に対して各種データの送受信を行うようになっている。さらに、パラレル機能ブロック14Bの内部には、主接続コネクタ11を介して行われるパラレルポートへの最後のアクセスがあった時点からの時間を計測するための入出力タイマ14bが内蔵されている。なお、接続部[E]は、EEPROM15に対する接続部である。

【0034】図3及び図4は、本実施形態におけるカードモジュール10のアトリビュートメモリ空間のメモリマップを示したものである。図3には、上記の切換スイッチ13によってマルチファンクション用のモードが選択されている場合のメモリマップであり、たとえば、一般のPC-AT互換機に対応したものである。この場合には、後述するようにパソコンからのアクセスはカード全体の定義情報に対して実行される。

【0035】一方、図4は、切換スイッチ13によってATAフォーマット用のモードが選択されている場合のメモリマップであり、たとえば、HP-200LX（ヒューレットパッカード社、製品番号）に対応したものである。

【0036】図3においては、0200h～020Fhまでのアドレス空間に、カード全体の定義情報を保持する仮想的なコンフィグレーションレジスタ（以下、単に「Cレジスタ」という。）Xのアドレスが割り当てられている。このアドレスを指定することによって、後述するように、ATAインターフェイスの定義情報とパラレルポートの定義情報に対して同時にアクセスすることが可能になる。

【0037】また、0A00h～0A0Fhまでのアドレス空間に、パラレルポートの定義情報を保持するCレジスタZのアドレスが割り当てられている。このCレジスタZは、パラレル機能ブロック14Bの内部に構成されている。さらに、フラッシュメモリ16のATAインターフェイス用のCレジスタYのアドレスは1200h～120Fhとなっており、ATAインターフェイス用のメモリ空間Wは、1000h～1FFFhに割り当てられている。

【0038】図4のメモリマップにおいては、図3のメモリマップにおいて1000h～1FFFhのアドレスに割り当てられていたメモリ空間Wが、アドレス変換によって、0000h～0FFFhまでのアドレスに割り当てられ、図3においてカード全体の定義情報を保持する仮想的なCレジスタXに割り当てられていた0200h～020FhのアドレスがATAインターフェイス用

$$AA = CS(\text{バー}) \times AS + CS \times 0200h \quad \text{--- (1)}$$

$$PA = CS(\text{バー}) \times AS + CS \times 1A00h \quad \text{--- (2)}$$

ここで、CSは、コンビネーション選択信号CSがHのときに1、Lのときに0であり、CS(バー)はコンビネーション選択信号CSがHのときに0、Lのときに1である。ASはアドレス信号ASの指定するアドレスを

の定義情報を保持するCレジスタYのアドレスにそのまま置き換わった状態になっている。

【0039】この図4に示すメモリ構成を有する場合、メモリ空間W内のアドレスを指定することによって、直接ATAインターフェイスを介してフラッシュメモリ16にアクセスすることができる。このとき、ATAインターフェイスの定義情報と、パラレルポートの定義情報との双方に同時にアクセスするには、1200～120Fhの範囲のアドレスを指定する必要がある。

【0040】図5は、CレジスタX、Y、Zの関係を概念的に示すものである。主接続コネクタに接続されるコンピュータ本体からのアドレス信号ASがCレジスタXのアドレスを指定すると、アドレス変換によって、CレジスタXを指定する所定のアドレスをCレジスタY内の対応するアドレスとCレジスタZ内の対応するアドレスとの双方にそれぞれ変換し、これらのアドレスに対応する定義情報がコンピュータ本体の読み込み動作によって読み込まれ、あるいは、コンピュータ本体の書き込み動作によって書き込まれる。

【0041】この結果、コンピュータ本体からは、カードモジュール10に定義情報を保持するCレジスタXのみが存在しているように見えるため、コンピュータ本体側においては、通常の周辺機器インターフェイス構造によって制御することが可能となる。

【0042】図6は、図5に示す概念的な構造を実現するための機能ブロックの一例を示すブロック構成図である。コンピュータ本体から主接続コネクタ11を介して読み込み指令若しくは書き込み指令が到来すると、CレジスタXを仮想的に構成するアドレスデコーダ21及びアドレス変換部22にコンピュータ本体の指定するアドレス信号ASが入力される。アドレスデコーダ21は、アドレス信号ASがカード全体の定義情報を保持する仮想的なCレジスタXのアドレスを指定している場合にはコンビネーションCR選択信号CSを低電位（以下、単に「L」という。）から高電位（以下、単に「H」という。）にして、アドレス変換部22並びにデータ変換部23及びデータ合成部24に供給する。

【0043】アドレス変換部22においては、コンビネーションCR選択信号CSがHであるとアドレス信号ASの指定するアドレスを以下の式(1)及び(2)に従って変換し、ATAアドレスAA及びパラレルアドレスPAを形成する。

【0044】

示す。したがって、メモリマップが図4の状態にある場合、コンピュータ本体のアドレス信号ASが指定するアドレスがたとえば1200h（CレジスタXの先頭アドレス）であると、ATAアドレスAAは0200h（C

レジスタYの先頭アドレス)に、パラレルアドレスPAは1A00h(CレジスタZの先頭アドレス)になる。

【0045】ATAアドレスAAはCレジスタYのアドレスデコード25に送出され、ATAアドレス選択信号ACSがデータ保持部26内の領域を選択する。また、パラレルアドレスPAはCレジスタZのアドレスデコード27に送出され、パラレルアドレス選択信号PCSがデータ保持部28内の領域を選択する。

【0046】このようにして選択されたデータ保持部26、28内の領域に対して、データ変換部23は、コンピュータ本体からの書き込みデータWDSをATA用書き込みデータWASに変換してデータ保持部26に書き込み、また、パラレル用書き込みデータWPSに変換してデータ保持部28に書き込む。

【0047】データ変換部23の内部構造を簡易に示したものが図7である。ここで、コンピュータ本体から送られてくる書き込みデータWDSは6ビットのデータであり、このうち、CレジスタYに対応するデータ部分は0～2位ビットであり、CレジスタZに対応するデータ部分は3～5位ビットである。これは、予め、CレジスタY内の定義情報は、0～2位ビットに所定の情報が含まれ、3～5位ビットは0に固定されており、一方、CレジスタZ内の定義情報は、0～2位ビットは0に固定され、3～5位ビットに所定の情報が含まれるように設定されているからである。このような構成は、両者の定義情報のビット構成などの状況に応じて適宜に設定することができる。

【0048】データ変換部23には、図6に示すアドレスデコード21から送られるコンビネーション選択信号CSが供給されている。このコンビネーション選択信号CSは、NOT回路23-6によって反転されてCS(バー)となり、AND回路23-0、23-1、23-2、23-3、23-4、23-5の一方の入力として与えられる。

【0049】コンピュータ本体の6ビットの書き込みデータWDSは、0～2位ビットの内容をそのまま伝達し、3～5位ビットの内容については、AND回路23-3、23-4、23-5によりCS(バー)との論理積を採ることによって、ATA用書き込みデータWASに変換される。

【0050】同様に、書き込みデータWDSは、0～2位ビットの内容については、AND回路23-0、23-1、23-3によりCS(バー)との論理積を採り、3～5位ビットの内容をそのまま伝達することによって、パラレル用書き込みデータWPSに変換される。

【0051】コンピュータ本体からのアドレス信号がCレジスタXのアドレスを指定する場合には、コンビネーション選択信号CSがHとなり、CS(バー)はLとなるため、ATA用書き込みデータWASは3～5位ビットが0に固定され、パラレル用書き込みデータWPSは

0～2位ビットが0に固定される。したがって、カードモジュール10を複合型電子機器として使用する場合、コンピュータ本体からのアドレスをCレジスタXに割り当てられたアドレスとすることによって、ATAインターフェイスに対応した定義情報データとパラレルポートに対応した定義情報データの双方の書き込みを同時に行うことができる。

【0052】CレジスタY及びCレジスタZの定義情報データを読み込む場合も、コンピュータ本体からのアドレス信号ASの変換及びアドレス指定は上述と同様である。この場合には、図6に示すように、データ保持部26から読み出されるATA用読み込みデータRASと、データ保持部28から読み出されるパラレル用読み込みデータRPSは、データ合成部24において合成され、一体の読み込みデータRDSとしてコンピュータ本体に取り込まれる。

【0053】データ合成部24の構成は、ATA用読み込みデータRASとパラレル用読み込みデータRPSとを単純にビット毎にOR回路によって加算するものである。上述の例においては、データ合成部24によって合成された読み込みデータRDSは、ATA用読み込みデータRASの0～2位ビットを0～2位ビットとして備え、パラレル用読み込みデータRPSの3～5位ビットを3～5位ビットとして備えたものとなる。

【0054】コンピュータ本体からのアドレス信号がCレジスタX以外のアドレスを指定する場合には、アドレスデコード21から生成されるコンビネーション選択信号CSはLとなり、上記式(1)及び(2)に示すように、アドレス変換は行われず、通常のアドレス指定と同様に処理される。この場合、図7に示すように、コンピュータ本体の書き込みデータWDSは、CS(バー)がHとなることから、データ変換部23において全てのビットにおいてそのまま指定されたアドレスに対応する領域に書き込まれる。また、読み込みの場合もまた、読み込みデータRDSは指定されたアドレスに対応する領域からそのままの形で読み込まれる。

【0055】以上のように、コンピュータ本体からのアクセスがあっても、単一のCレジスタに対応する定義情報によりカードモジュールを制御することができるとともに、カードモジュールの保持する定義情報も単一のCレジスタに対応するものとして読み込むことができるため、コンピュータ本体の制御構成を特に変更することなく、複合型電子機器として接続することが可能となる。

【0056】図8には、本実施形態の主制御IC14の一部、パラレルインターフェイス部17及びパラレルコネクタ12の概略構成を示す。主制御IC14から出力されるパラレル信号は25本の信号ラインによって構成される。

【0057】パラレルコネクタの1番ピンは、データのストロブ信号を搬送するラインに接続されている。2

～9番ピンは、パラレルポートのデータバスであり、2番ピンが最下位ビット(LSB)で、9番ピンが最上位ビット(MSB)である。10番ピンはパラレルコネクタ12に接続される外部周辺機器の応答信号の信号ラインに接続されている。

【0058】11番ピンは外部周辺機器のビジー信号の信号ラインに接続されている。12番ピンは外部周辺機器の用紙切れ信号の信号ラインに接続されている。13番ピンは外部周辺機器の選択信号の信号ラインに接続されている。14番ピンは改行を指示する信号の信号ラインに接続されている。15番ピンは周辺機器の異常を示す信号の信号ラインに接続され、16番ピンはハードリセットを指示する信号の信号ラインに接続されている。17番ピンは外部周辺機器へのデータ出力を有効とする信号の信号ラインに接続されている。

【0059】18～23番ピンはカードモジュール10内で接地電位に接続されている。24番ピンは外部周辺機器の電源が入っていることを示すステータス信号の信号ラインに接続されている。25番ピンは、後述するように、電位がL(接地電位)のときにケーブルのコネクタ30が接続されたことを示す信号ラインL25に接続され、この状態でパラレルコネクタ12から出力される上記各信号ラインが有効になるように構成されている。

【0060】パラレルインターフェイス部17のパラレルバッファ17aは、出力型の信号ライン(外部周辺機器にデータを送出する信号ライン)においては主制御IC14から出力された電位を取り入れ、プルアップ回路17b側に出力する。また、入力型の信号ライン(外部周辺機器からデータを取り入れる信号ライン)においてはプルアップ回路17b側から出力された電位を取り入れ、主制御IC14に出力する。

【0061】パラレルインターフェイス部17のプルアップ回路17bは、主制御IC14とパラレルコネクタ12との間に接続された複数の信号ライン(1～17番ピン及び25番ピンに対応する信号ライン)の電位を高抵抗によってVCC電位寄りにプルアップするようになっている。

【0062】信号ラインL25は主制御IC14内に接続信号CCを供給し、この接続信号CCは、OR回路14-2の一方の入力端子に入力される。また、接続信号CCはNOT回路14-1に入力されて反転信号CC(バー)となり、NAND回路14-3の一方の入力端子に入力される。接続信号CCを入力するOR回路14-2及び反転信号CC(バー)を入力するNAND回路14-3は、出力型の信号ライン、すなわち、パラレルコネクタ12の1～9番(2～9番は入出力型)、14番、16番、17番ピンに接続される信号ラインにそれぞれ接続されている。

【0063】信号ライン25の接続信号CCは、パラレルコネクタ30が接続されていないとプルアップによっ

て高電位Hとなり、OR回路14-2及びNAND回路14-3の出力をHに固定するため、パラレル機能ブロック14Bからの出力信号に拘わらず、出力型の信号ラインのスイッチングを禁止し、これらの信号ラインの電位を常時高電位Hに維持する。このため、プルアップ回路17bにおいては、高抵抗を介してこれらの信号ラインに流れ込む電流を低減できるので、消費電力が抑制される。

【0064】パラレルコネクタ12に接続ケーブル30が接続されると、接続ケーブル30の25番ピンは23番ピンに接続されているため、信号ラインL25はパラレルコネクタ12の接地されている23番ピンに間接的に導通されることから、接続信号CCは低電位Lとなる。このため、OR回路14-2及びNAND回路14-3はともにパラレル機能ブロック14Bから出力される出力電位のスイッチング状態を伝達するようになる。

【0065】このように、本実施形態では、接続ケーブル30のパラレルコネクタ12への接続を信号ラインL25によって検出し、パラレルコネクタ12に接続されていない場合には、出力型の信号ラインの電位をプルアップ回路17bのプルアップ電位寄りの電位又は電源電位に固定しているため、消費電力を抑制することができる。

【0066】本実施形態においては、図2に示すように、主制御IC14の中のパラレル機能ブロック14B内に入出力タイマ14bを内蔵している。この入出力タイマ14bは、コンピュータ本体から主接続コネクタ11及びカード機能ブロック14Aを介してパラレル機能ブロック14Bに対して最後にアクセスがあった時点からの時間を測定している。コンピュータ本体からのアクセスが所定時間ないと、図9に示すように入出力タイマ14bがタイムアップし、このタイムアップによって、カード機能ブロック14A内に配置された入出力レジスタ14a内のフラグがL(0)となり、振動子イネーブル信号がHからLとなることにより、水晶振動子を備えた発振回路32から発生するクロック信号が停止されるようになっている。

【0067】このようにして発振回路32が停止している場合に、コンピュータ本体から読み出し又は書き込み信号が送られると、カード機能ブロック14Aから出力されるWAIT信号がHとなり、コンピュータ本体の読み出し又は書き込み信号のサイクルを延長させるとともに、入出力レジスタをH(1)とするため、振動子イネーブル信号がHになることにより発振回路32では発振が始まり、しばらくしてクロック信号が安定する。

【0068】WAIT信号の高電位Hは発振回路32が発振を開始してから安定するまでの時間よりも長い時間だけ維持され、この時間 τ が経過すると、WAIT信号は再びLに戻る。これにより、コンピュータ本体のアクセスが行われる。コンピュータ本体のアクセスが終了

すると、再び入出力タイマ14bはリセットされ、その時点から再度計時を始める。

【0069】このように、コンピュータ本体からのアクセスがない場合にはパラレル機能ブロック14Bの動作に必要なクロック信号を発生する発振回路32を停止させることによって、消費電力をさらに低減することができる。ここで、上述の所定時間 τ は、発振回路32のクロック信号が安定するために必要な時間であり、通常数ms程度である。

【0070】なお、コンピュータ本体からのパラレルポートへの通常のアクセスが開始されるよりも予め所定時間 τ 以上前に、発振回路32における発振を開始させるための予告信号を送出させるプログラムをコンピュータ内に構築しておくことによって、確実に発振回路の復旧を行うことができる。

【0071】

【発明の効果】以上説明したように本発明によれば以下の効果を奏する。

【0072】請求項1によれば、複合型電子機器として、入出力制御手段によって制御されるメモリ手段とパラレル入出力手段とを複合させたので、コンピュータ本体に一つの接続部（主ポート）のみ用意するだけで、データを格納するメモリに加えてプリンタやスキャナなどのパラレルポートに接続できる外部周辺機器を接続することが可能になり、コンピュータの拡張性を向上させることができ、使用態様の自由度を高めることができる。

【0073】請求項2によれば、第1処理手段及び第2処理手段を一つの接続部（主ポート）のみでコンピュータ本体に接続することができるとともに、コンピュータ本体に対して応答するための主定義情報と、第1処理手段の第1定義情報及び第2処理手段の第2定義情報とを相互に変換する定義情報変換手段を備えているため、コンピュータ本体は従来通り単一の主定義情報に対してアクセスすればよいことから、コンピュータ本体の設定を変更することなく、定義情報変換手段により間接的に第1定義情報及び第2定義情報にアクセスすることができる。

【0074】請求項3によれば、主定義情報に対応する仮想アドレスを備えていることによって、コンピュータ本体から仮想アドレスを指定することによって第1定義情報及び第2定義情報の双方に一度にアクセスすることが可能になる。

【0075】請求項4によれば、コンピュータ本体が指定した仮想アドレスを第1アドレス領域内及び第2アドレス領域内のアドレスに変換するアドレス変換手段を備えているため、簡易な構成により、コンピュータ本体の指定アドレスに対する第1定義情報及び第2定義情報のアドレスを同時に指定することができる。

【0076】請求項5によれば、パラレルポートが非接続状態にある場合には、信号ラインの少なくとも一部が

所定電位により近い電位状態に固定されているため、高抵抗を流れる電流量を低減することができ、消費電力を低減することができる。

【0077】請求項6によれば、出力ゲートを制御するだけの簡易な構成で確実に消費電力を低減することができる。

【0078】請求項7によれば、パラレルポート内の定電位端子との導通若しくは非導通によって信号ラインの電位が変わることによって接続状態を検出することができるので、特にセンサなどを用いることなく、簡易かつ確実に信号ラインの電位設定を行うことができる。

【図面の簡単な説明】

【図1】本発明に係る複合型電子機器の実施形態の全体構成を示す概略構成図である。

【図2】同実施形態における主制御ICの全体構成及び接続状態を示す概略構成図である。

【図3】同実施形態におけるマルチファンクションモードにおけるアトリビュートメモリ空間のメモリマップである。

【図4】同実施形態におけるATAモードにおけるアトリビュートメモリ空間のメモリマップである。

【図5】同実施形態における仮想的なコンフィグレーションレジスタの機能を示す概略説明図である。

【図6】同実施形態における仮想的なコンフィグレーションレジスタの機能を実現するための構成を示すブロック構成図である。

【図7】同実施形態におけるデータ変換部の内部構成を示す模式回路図である。

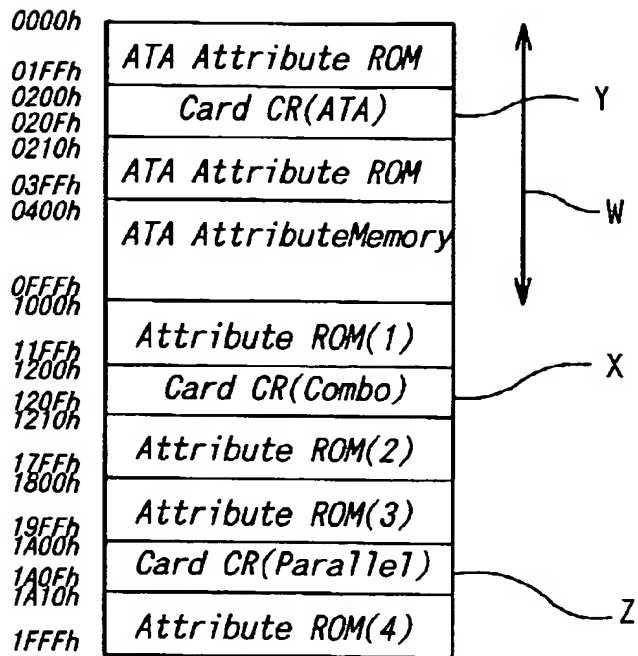
【図8】同実施形態におけるパラレル入出力手段のうち、パラレルコネクタが接続されていない状態を検知してコネクタ状態を変更するための手段の概要を示す概略回路図である。

【図9】同実施形態におけるクロック停止及び復旧の手順を示すタイミングチャートである。

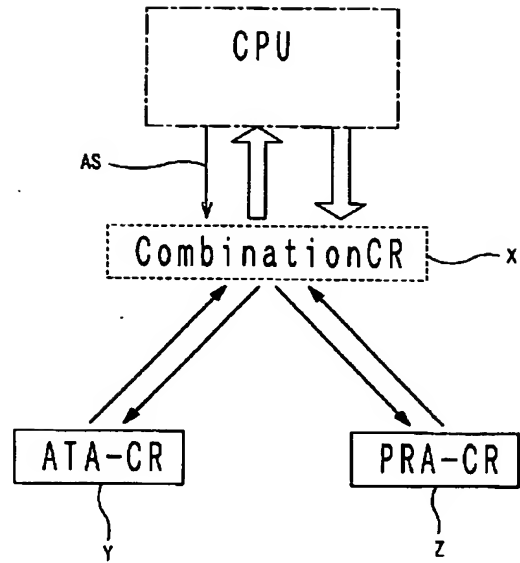
【符号の説明】

- 10 カードモジュール
- 11 主接続コネクタ
- 12 パラレルコネクタ
- 13 切換スイッチ
- 14 主制御IC
- 14A カード機能ブロック
- 14B パラレル機能ブロック
- 14a 入出力レジスタ
- 14b 入出力タイマ
- 15 EEPROM
- 16 フラッシュメモリ
- 17 パラレルインターフェイス部
- 17a パラレルバッファ
- 17b プルアップ回路
- 30 接続ケーブル

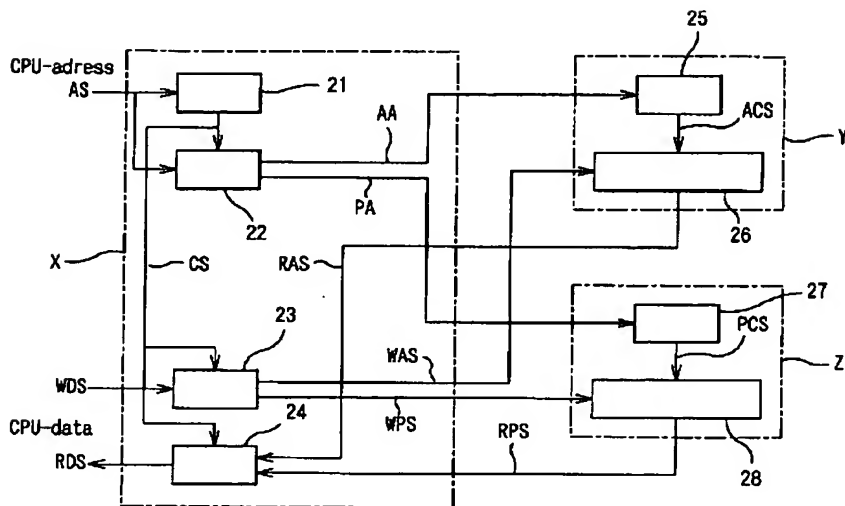
【図4】



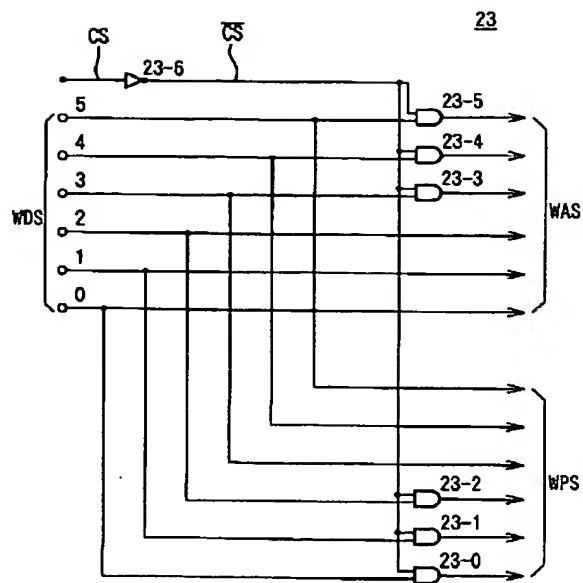
【図5】



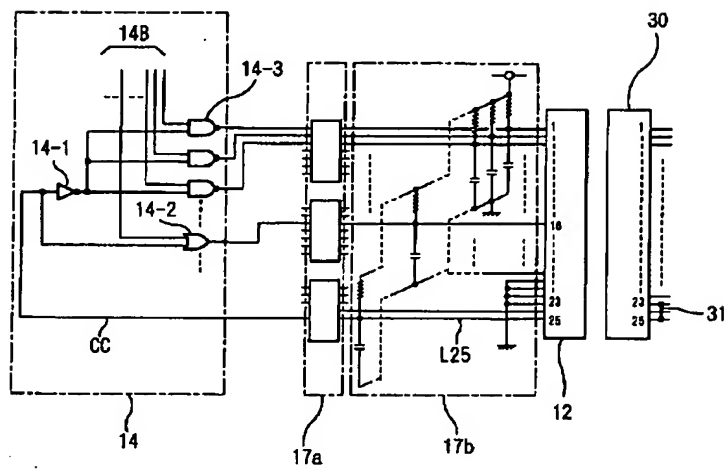
【図6】



【図7】



【図8】



【図9】

